

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## THIN FILM SEMICONDUCTOR INTEGRATED CIRCUIT AND ITS FABRICATION

Patent number: JP7135323  
 Publication date: 1995-05-23  
 Inventor: KONUMA TOSHIMITSU; others: 04  
 Applicant: SEMICONDUCTOR ENERGY LAB CO LTD  
 Classification:  
 - international: H01L29/786; G02F1/136  
 - european:  
 Application number: JP19930285990 19931020  
 Priority number(s):

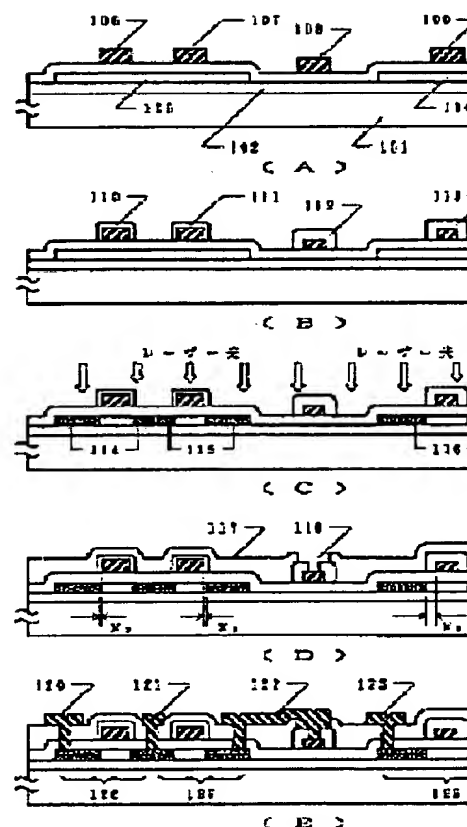
Also publish



## Abstract of JP7135323

**PURPOSE:** To allow the modification of the width of high resistance region depending on the required characteristics and reliability by connecting the source-drain region of at least one thin film transistor with a wiring formed of same film as other gate electrode through a metal wiring formed on an layer insulator.

**CONSTITUTION:** A layer insulator 117 and the anode oxide 112 of a wiring 108 are etched to make a contact hole 119 at the source-drain of a TFT. Multilayer wirings 120-125 of titanium nitride and aluminium are then formed wherein the wiring 124 is connected with a pixel electrode 118 and the wiring 125 is connected with gate electrodes 106, 107. Each of TFTs 126, 127 formed on a same substrate has an active layer of crystalline silicon and suitable for high speed operation because of its narrow high resistance region whereas a TFT 128 has an active layer of amorphous silicon and suitable for low leak current operation because of its wide high resistance region.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-135323

(43) 公開日 平成7年(1995)5月23日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
G 0 2 F 1/136	5 0 0	9056-4M	H 0 1 L 29/ 78	3 1 1 A

審査請求 有 請求項の数 9 F D (全 12 頁)

(21) 出願番号 特願平5-285990

(22) 出願日 平成5年(1993)10月20日

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 小沼 利光

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 ▲ひろ▼木 正明

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

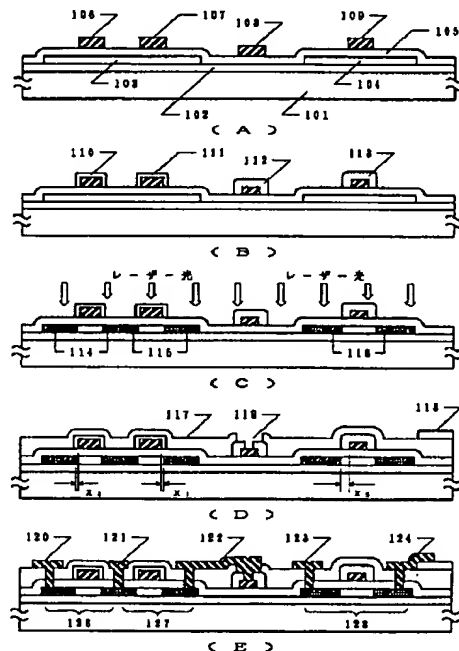
最終頁に続く

(54) 【発明の名称】 薄膜状半導体集積回路およびその作製方法

(57) 【要約】

【目的】 同一基板上に最適な特性を示す薄膜トランジスタ (T F T) を多数有する集積回路を提供する。

【構成】 絶縁表面上に、少なくともゲート電極の側面に陽極酸化物を有する薄膜トランジスタ (T F T) を多数形成する。そして、それぞれのT F Tにおいて必要とされる信頼性、特性に応じて前記陽極酸化物の厚さを変える。かくすることによって、同一基板上にそれぞれの目的にとって最適な特性、信頼性を示すT F Tを多数形成した半導体集積回路を形成することができる。



## 16-1